



Espacenet

Bibliographic data: JP 2002134375 (A)

SEMICONDUCTOR BASE BODY AND ITS MANUFACTURING METHOD, AND SURFACE SHAPE MEASUREMENT METHOD OF LAMINATED BASE BODY

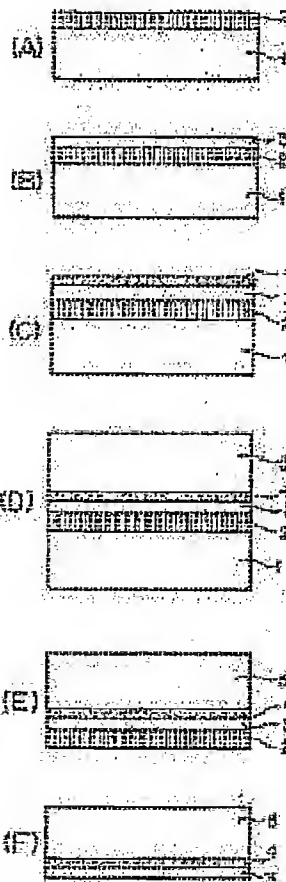
Publication date: 2002-05-10
Inventor(s): SAKAGUCHI KIYOBUMI +
Applicant(s): CANON KK +
Classification:
 - international: H01L21/02; H01L21/68; H01L21/762; H01L27/12; (IPC1-7): H01L21/02; H01L27/12
 - european: H01L21/683T; H01L21/762D8F
Application number: JP20000325802 20001025
Priority number (s): JP20000325802 20001025
Also published as:

- EP 1202339 (A2)
- EP 1202339 (A3)
- US 2002048844 (A1)
- KR 20020032355 (A)

Abstract of JP 2002134375 (A)

PROBLEM TO BE SOLVED: To manufacture a semiconductor base body having a controlled surface shape. **SOLUTION:** In this method for manufacturing the semiconductor substrate, by laminating the semiconductor substrate 1 onto a support substrate 5, the surface shape on the laminated side of the support substrate is nearly the same as that of a manufactured semiconductor base body. In this method for measuring the surface shape of a laminated base body manufactured, by laminating first and second base bodies via an insulating layer, a pseudo-laminated base body is manufactured by laminating the first and second base bodies, without going through the insulating layer, the surface shape of the pseudo lamination base body is measured, and the measured value is set to the surface shape of the lamination base body.

Last updated:
 26.04.2011 Worldwide
 Database 5.7.23.1; 92p



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-134375
(P2002-134375A)

(43) 公開日 平成14年5月10日 (2002.5.10)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/02		H 0 1 L 21/02	B
27/12		27/12	B

審査請求 未請求 請求項の数42 O L (全 15 頁)

(21) 出願番号 特願2000-325802(P2000-325802)
(22) 出願日 平成12年10月25日 (2000.10.25)

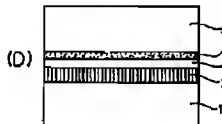
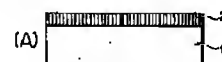
(71) 出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72) 発明者 坂口 清文
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(74) 代理人 100065385
弁理士 山下 稯平

(54) 【発明の名称】 半導体基体とその作製方法、および貼り合わせ基体の表面形状測定方法

(57) 【要約】

【課題】 管理された表面形状の半導体基体を作製する。

【解決手段】 支持基板5に半導体基板1を貼り合わせることで半導体基体を作製する方法において、支持基板のはり合わせ側の表面形状と、作製した半導体基体の表面形状がほぼ等しい。第1の基体と第2の基体とを絶縁層を介して貼り合わせて作製される貼り合わせ基体の表面形状測定方法であって、絶縁層を介さずに第1の基体と第2の基体とを貼り合わせて疑似貼り合わせ基体を作製し、疑似貼り合わせ基体の表面形状を測定し、その測定値を前記貼り合わせ基体の表面形状とする。



【特許請求の範囲】

【請求項1】 支持基板に半導体基板を貼り合わせることで半導体基体を作製する方法において、前記支持基板の貼り合わせ側の表面形状と、作製した半導体基体の表面形状がほぼ等しいことを特徴とする半導体基体の作製方法。

【請求項2】 請求項1に記載の半導体基体の作製方法において、前記支持基板の表面形状は、SFQR SFQD SBI R Nanotopographyの少なくとも1つで規定されていることを特徴とする半導体基体の作製方法。

【請求項3】 支持基板に半導体基板を貼り合わせることで半導体基体を作製する方法において、前記支持基板の貼り合わせ側の表面上の表面形状が、SFQR: $0.30\mu\text{m}/25\text{mm}\times 25\text{mm}/85\%$ 以上であり、この支持基板を用いて作製された半導体基体の表面上の任意の点において、その表面形状が、SFQR: $0.30\mu\text{m}/25\text{mm}\times 25\text{mm}/85\%$ 以上を満たすことを特徴とする半導体基体の作製方法。

【請求項4】 支持基板に半導体基板を貼り合わせることで半導体基体を作製する方法において、前記支持基板の貼り合わせ側の表面上の任意の点において、その表面形状が、

0.5mm×0.5mmのセルでのp-v値の全セルのうちの最大が20nm以下、
2.0mm×2.0mmのセルでのp-v値の全セルのうちの最大が50nm以下、
5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が100nm以下、
10mm×10mmのセルでのp-v値の全セルのうちの最大が120nm以下、

の条件のうち、少なくとも1つの条件を満たし、この支持基板を用いて作製された半導体基体の表面上の任意の点において、その表面形状が、

0.5mm×0.5mmのセルでのp-v値の全セルのうちの最大が20nm以下、
2.0mm×2.0mmのセルでのp-v値の全セルのうちの最大が50nm以下、
5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が100nm以下、
10mm×10mmのセルでのp-v値の全セルのうちの最大が120nm以下、

の条件のうち、上記支持基板が満たす条件と同じ条件を満たすことを特徴とする半導体基体の作製方法。

【請求項5】 支持基板に半導体基板を貼り合わせることで半導体基体を作製する方法において、前記支持基板の貼り合わせ側の表面上の任意の点において、その表面形状が、

0.5mm×0.5mmのセルでのp-v値の全セルのうちの最大が20nm以下、
2.0mm×2.0mmのセルでのp-v値の全セルの

うちの最大が50nm以下、

5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が100nm以下、

10mm×10mmのセルでのp-v値の全セルのうちの最大が120nm以下、

の条件のうち、少なくとも1つの条件を満たすことを特徴とする半導体基体の作製方法。

【請求項6】 請求項1～5のいずれかに記載の半導体基体の作製方法において、(a) 前記半導体基板として、少なくとも表面から活性層、多孔質層、基板の順に形成された第1の基体を用意し、(b) 前記支持基板としての第2の基体を用意し、(c) 前記第1の基体の主表面と前記第2の基体の主表面とを貼り合わせ、(d) 貼り合わせ基体から前記第1の基体側の基板部分を除去し、前記多孔質層を表出させ、(e) 前記第2の基体に残った多孔質層を除去する、の各工程(a)～(e)を含むことを特徴とする半導体基体の作製方法。

【請求項7】 請求項1～5のいずれかに記載の半導体基体の作製方法において、(a) 前記半導体基板として、主表面からある深さに投影飛程のあるイオン注入層を形成してなる第1の基体を用意し、(b) 前記支持基板としての第2の基体を用意し、(c) 前記第1の基体の主表面と前記第2の基体の主表面とを貼り合わせ、(d) 貼り合わせ基体から前記第1の基体側のイオン注入層より外側の部分を除去し、イオン注入層を表出させ、(e) 前記第2の基体に残ったイオン注入層を除去する、の各工程(a)～(e)を含むことを特徴とする半導体基体の作製方法。

【請求項8】 請求項4～7のいずれかに記載の半導体基体の作製方法において、前記支持基板の前記4つの条件の少なくとも2つの条件を満たす半導体ウエハを用いることを特徴とする半導体基体の作製方法。

【請求項9】 請求項4～7のいずれかに記載の半導体基体の作製方法において、前記支持基板の前記4つの条件をすべて満たす半導体ウエハを用いることを特徴とする半導体基体の作製方法。

【請求項10】 請求項1～9のいずれかに記載の半導体基体の作製方法において、前記支持基板の貼り合わせる側の表面粗さの2乗平均値(root-mean-square)が約1mm×1mm領域で1nm以下であることを特徴とする半導体基体の作製方法。

【請求項11】 請求項6～10のいずれかに記載の半導体基体の作製方法において、前記第1の基体は、エピタキシャル層を形成した基体である半導体基体の作製方法。

【請求項12】 請求項6～11のいずれかに記載の半導体基体の作製方法において、前記第1の基体は、表面に酸化膜の形成された基体である半導体基体の作製方法。

【請求項13】 請求項6～11のいずれかに記載の半導体基体の作製方法において、前記第1の基体の主表面、前記第2の基体の主表面の少なくともどちらか一方には絶縁層が形成されている半導体基体の作製方法。

【請求項14】 請求項6、8～13のいずれかに記載の半導体基体の作製方法において、前記多孔質層は、多孔度の異なる多層構造である半導体基体の作製方法。

【請求項15】 請求項6、8～14のいずれかに記載の半導体基体の作製方法において、前記活性層はエピタキシャル成長層である半導体基体の作製方法。

【請求項16】 請求項6、8～15のいずれかに記載の半導体基体の作製方法において、前記多孔質層は、エピタキシャル成長前に低温酸化されている半導体基体の作製方法。

【請求項17】 請求項6～16のいずれかに記載の半導体基体の作製方法において、前記第1の基体の基板、前記第2の基体の少なくともどちらか一方はSiウエハである半導体基体の作製方法。

【請求項18】 請求項6～17のいずれかに記載の半導体基体の作製方法において、貼り合わせ前に前記第1の基体、前記第2の基体の少なくとも一方を洗浄、表面プラズマ処理を行う半導体基体の作製方法。

【請求項19】 請求項6～18のいずれかに記載の半導体基体の作製方法において、貼り合わせは、接触後熱処理、接触後陽極接合、接触後加圧、室温での接触、の少なくとも1つの方法で行われる半導体基体の作製方法。

【請求項20】 請求項6～19のいずれかに記載の半導体基体の作製方法において、貼り合わせ基体から第1の基体側の基板部分を除去する工程は、多孔質層あるいはイオン注入層を介しての分離、第1の基体の裏面から研削及び／又は研磨及び／又はエッチング、の少なくとも1つの方法で行われる半導体基体の作製方法。

【請求項21】 請求項20に記載の半導体基体の作製方法において、前記分離は、流体ジェットの挿入、固体くさびの挿入、超音波印加、引っ張り、圧縮、せん断力印加、熱処理の少なくとも1つの方法で行われる半導体基体の作製方法。

【請求項22】 請求項6～21のいずれかに記載の半導体基体の作製方法において、前記第2の基体に残った多孔質層あるいはイオン注入層を除去する工程は、エッチング、研磨の少なくとも1つの方法で行われる半導体基体の作製方法。

【請求項23】 請求項6～22のいずれかに記載の半導体基体の作製方法において、前記第2の基体に残った多孔質層あるいはイオン注入層を除去する工程後に表面を平坦化あるいは平滑化する工程を含む半導体基体の作製方法。

【請求項24】 請求項23に記載の半導体基体の作製方法において、平坦化あるいは平滑化する工程は、水素

を含む雰囲気中での熱処理、研磨の少なくとも1つの方法で行われる半導体基体の作製方法。

【請求項25】 請求項1～24のいずれかに記載の半導体基体の作製方法により作製された半導体基体。

【請求項26】 第1の基体と第2の基体とを該第1の基体又は該第2の基体と異なる異種材料の層を介して貼り合わせて作製される貼り合わせ基体の表面形状測定方法であって、

前記異種材料の層を介さずに第1の基体と第2の基体とを貼り合わせて疑似貼り合わせ基体を作製し、該疑似貼り合わせ基体の表面形状を測定し、その測定値を前記貼り合わせ基体の表面形状とする貼り合わせ基体の表面形状測定方法。

【請求項27】 請求項26に記載の貼り合わせ基体の表面形状測定方法において、第1の基体と第2の基体とを絶縁層を介して貼り合わせて作製される貼り合わせ基体の作製工程は、(a) 少なくとも表面から活性層、多孔質層、基板の順に形成された第1の基体を用意し、(b) 前記第2の基体を用意し、(c) 前記第1の基体の主表面と前記第2の基体の主表面とを貼り合わせ、(d) 貼り合わせ基体から前記第1の基体側の基板部分を除去し、前記多孔質層を表出させ、(e) 前記第2の基体に残った多孔質層を除去する、の各工程(a)～(e)を含むことを特徴とする貼り合わせ基体の表面形状測定方法。

【請求項28】 請求項26に記載の貼り合わせ基体の表面形状測定方法において、第1の基体と第2の基体とを絶縁層を介して貼り合わせて作製される貼り合わせ基体の作製工程は、(a) 主表面からある深さに投影飛程のあるイオン注入層を形成してなる第1の基体を用意し、(b) 第2の基体を用意し、(c) 前記第1の基体の主表面と前記第2の基体の主表面とを貼り合わせ、(d) 貼り合わせ基体から前記第1の基体側のイオン注入層より外側の部分を除去し、イオン注入層を表出させ、(e) 前記第2の基体に残ったイオン注入層を除去する、の各工程(a)～(e)を含むことを特徴とする貼り合わせ基体の表面形状測定方法。

【請求項29】 請求項26～28のいずれかに記載の貼り合わせ基体の表面形状測定方法において、前記第1の基体は、エピタキシャル層を形成した基体である貼り合わせ基体の表面形状測定方法。

【請求項30】 請求項26～28のいずれかに記載の貼り合わせ基体の表面形状測定方法において、前記第1の基体は、表面に酸化膜の形成された基体である貼り合わせ基体の表面形状測定方法。

【請求項31】 請求項26～28のいずれかに記載の貼り合わせ基体の表面形状測定方法において、前記第1の基体の主表面、前記第2の基体の主表面の少なくともどちらか一方には絶縁層が形成されている貼り合わせ基体の表面形状測定方法。

【請求項32】 請求項27、29～31のいずれかに記載の貼り合わせ基体の表面形状測定方法において、前記多孔質層は、多孔度の異なる多層構造である貼り合わせ基体の表面形状測定方法。

【請求項33】 請求項27、29～32のいずれかに記載の貼り合わせ基体の表面形状測定方法において、前記活性層はエピタキシャル成長層である貼り合わせ基体の表面形状測定方法。

【請求項34】 請求項27、29～33のいずれかに記載の貼り合わせ基体の表面形状測定方法において、前記多孔質層は、エピタキシャル成長前に低温酸化されている貼り合わせ基体の表面形状測定方法。

【請求項35】 請求項27～34のいずれかに記載の貼り合わせ基体の表面形状測定方法において、前記第1の基体の基板、前記第2の基体の少なくともどちらか一方はSiウエハである貼り合わせ基体の表面形状測定方法。

【請求項36】 請求項26～35のいずれかに記載の貼り合わせ基体の表面形状測定方法において、貼り合わせ前に前記第1の基体、前記第2の基体の少なくとも一方を洗浄、表面プラズマ処理を行う貼り合わせ基体の表面形状測定方法。

【請求項37】 請求項26～36のいずれかに記載の貼り合わせ基体の表面形状測定方法において、貼り合わせは、接触後熱処理、接触後陽極接合、接触後加圧、室温での接触、の少なくとも1つの方法で行われる貼り合わせ基体の表面形状測定方法。

【請求項38】 請求項27～37のいずれかに記載の貼り合わせ基体の表面形状測定方法において、貼り合わせ基体から第1の基体側の基板部分を除去する工程は、多孔質層あるいはイオン注入層を介しての分離、第1の基体の裏面から研削及び／又は研磨及び／又はエッチング、の少なくとも1つの方法で行われる貼り合わせ基体の表面形状測定方法。

【請求項39】 請求項38に記載の貼り合わせ基体の表面形状測定方法において、前記分離は、流体ジェット、の挿入、固体くさびの挿入、超音波印加、引っ張り、圧縮、せん断力印加、熱処理の少なくとも1つの方法で行われる貼り合わせ基体の表面形状測定方法。

【請求項40】 請求項27～39のいずれかに記載の貼り合わせ基体の表面形状測定方法において、前記第2の基体に残った多孔質層あるいはイオン注入層を除去する工程は、エッチング、研磨の少なくとも1つの方法で行われる貼り合わせ基体の表面形状測定方法。

【請求項41】 請求項27～40のいずれかに記載の貼り合わせ基体の表面形状測定方法において、前記第2の基体に残った多孔質層あるいはイオン注入層を除去する工程後に表面を平坦化あるいは平滑化する工程を含む貼り合わせ基体の表面形状測定方法。

【請求項42】 請求項41に記載の貼り合わせ基体の

表面形状測定方法において、平坦化あるいは平滑化する工程は、水素を含む雰囲気中での熱処理、研磨の少なくとも1つの方法で行われる貼り合わせ基体の表面形状測定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板とその作製方法、および貼り合わせ基体の表面形状測定方法に関し、更に詳しくは、誘電体分離あるいは、絶縁物上の単結晶半導体、Si基板上の単結晶化合物半導体の作製方法、さらに単結晶半導体層に作成される電子デバイス、集積回路に適する半導体基板とその作製方法、および貼り合わせ基体の表面形状測定方法に関するものである。

【0002】

【従来の技術】ウエハ表面性とボイドとの関連、貼り合わせウエハの表面形状に関する技術を開示するものとしては、特開昭62-283655号公報（NTT）、特開平5-152549号公報（信越半導体、長野電子工業）、特公平6-36407号公報（信越半導体、長野電子工業）、特開平7-249598号公報（三菱マテリアル、三菱マテリアルシリコン）、特開平9-232197号公報（住友シチックス）等が知られている。

【0003】また、文献においても、Takao Abe and John H. Matlock, Solid State Technology/日本版, January 1991（信越半導体）に表面性とボイドの相関について記載されている。

【0004】ここで半導体表面の表面性が悪ければ、ボイドの発生をまねくことになる。

【0005】元々、表面の平坦性は、リソグラフィーからの要請で平坦化が推し進められてきた。

【0006】最近の平坦性の議論は、サイトフラットネスといて、数十mm角の中での高低差を問題にしている。極細のラインパターンを切るためには、ステッパー1ショット中でのウエハ表面の高低差を狭く抑えることが要求されてきているためである。

【0007】平坦性の設定項目は、高低差上限、領域サイズ（これによってサイト数が変わる）、高低差上限に収まるサイトの割合（Usable Area）である。

【0008】また、Si-バルクウエハの分野でNanotopography（ナノトポグラフィー）という、表面のマイクロラフネスと表面平坦性との間くらいの表面形状が、非常に重要であるとの認識が高まってきている。

【0009】IntelのDr. K. V. Raviが最初にNanotopology（nanometer scale surface topology）という言葉を使い出した。近年では、NanotopologyはNanotopographyと呼ばれるようになってきている。本願ではNanotopographyを用いる。

【0010】サイトフラットネスに対して、Nanotopographyは、CMPからの要求が強くなってきて問題視される

ようになってきた。層間絶縁膜をCMPで平坦化する際に、元々の表面が凸凹であると、この状態でCMPで表面を平坦化すると、絶縁膜の厚さの均一性が失われて耐圧不良になる。また、STI (shallow trench isolation) を絶縁膜で埋めて表面を研磨する際にも、CMP自体の研磨の均一性だけでなく、元々のウエハのNanotopographyを良くすることが不可欠になってきた。Nanotopographyは、リソグラフィーの線幅が0.18 μ mくらいになって、ようやく問題になってきた。

【0011】Nanotopographyは、ADE社製のWIS-CR83-SQMあるいはNanoMapperや、KLA-Tencor社製のSurfscan-SP1-STN、ニュークリエーション社製のDynaSearch、黒田精工社製のNanoMetroで測定されている。これらの測定装置は、すべて光学式に表面の反射を利用してその凹凸を測定している。

【0012】両者とも、デバイスサイズが小さくなってくると益々厳しい規格に収める必要が高まってくる。特に、SOI、SiGe、等の次世代を担う材料では、その採用時から最先端の極細リソグラフィーのラインで使用されることは、明かである。

【0013】

【発明が解決しようとする課題】貼り合わせ技術は、最近成熟され始めてきて、特にSOIを形成する技術として、注目され、そのウエハも市販されてきている。しかし、まだ、最先端の0.18 μ mラインには、それほど多くは採用されていないため、SOIのサイトフラットネスを気にしたところであり、Nanotopographyに関しては、ほとんど注目されていない。しかし、これからは、SOIやSiGe等の応用分野でも、そのウエハのサイトフラットネスやNanotopographyが問題視されることは、想像に難くない。

【0014】貼り合わせに関わる基板の作製は、一般に、次のような工程で作製される。

- a) 支持基板とデバイス基板を用意する。(デバイス基板とは、最終的にデバイスが作製されることになる層〔活性層〕を含んでいる基板)
- b) 両ウエハの貼り合わせ
- c) デバイス基板側の使用しない領域〔活性層以外の領域〕の除去
- d) 表面の平滑化処理

ところで、表面形状測定方法は、通常はバルクウエハの測定に適用されているので、多層構造の測定には不向きである。現状ではエピタキシャルウエハの測定までは行われている。不純物濃度が変化しても母材料が同じであればほとんど表面の反射のみであることが知られている(図4)。

【0015】ここで、表面の多層膜の屈折率等の光学定数が大きく異なる場合には、そのウエハそのもののNanotopographyを測定することは困難である。それは、現在のNanotopographyの測定方法が光学式によっているため

である。図5のように、SOI構造は表面からSi/SiO₂/Siの構造になっているので、光の反射面が表面を含めて3面ある。このため、Nanotopographyの測定値がどの面のNanotopographyを代表しているのかがわからない。

【0016】

【課題を解決するための手段】本発明の半導体基体の作製方法は、支持基板に半導体基板を貼り合わせることで半導体基体を作製する方法において、前記支持基板の貼り合わせ側の表面形状と、作製した半導体基体の表面形状がほぼ等しいことを特徴とする。

【0017】また本発明の半導体基体の作製方法は、支持基板に半導体基板を貼り合わせることで半導体基体を作製する方法において、前記支持基板の貼り合わせ側の表面上の表面形状が、SFQR; 0.30 μ m/25mm×25mm/85%以上(25mm×25mmのサイトの集合において、0.30 μ m以下のフラットネスのものが85%以上)であり、この支持基板を用いて作製された半導体基体の表面上の任意の点において、その表面形状が、SFQR; 0.30 μ m/25mm×25mm/85%以上を満たすことを特徴とする。

【0018】なお、表面形状の規定方法には、基準とする平面のとりかた、およびDeviationかRangeかにより下記のような種類があるが、本発明では、SFQR SFQD SBIR Nanotopographyの少なくとも一つで規定することが望ましい。

- (1) FQA (Flatness Quality Area)
- (2) SFPD (Site Focal Plane Deviation)
- (3) STIR (Site Total Indicator Reading)
- (4) SBID (Site Back Ideal Deviation)
- (5) SBIR (Site Back Ideal Range) = LTV (Local Thickness Variation)
- (6) SFPD (Site Focal Plane Deviation)
- (7) SFLD (Site Front Least-Squares Deviation)
- (8) SFLR (Site Front Least-Squares Range)
- (9) SFQD (Site Front Least-Squares Site Deviation)
- (10) SFQR (Site Front Least-Squares Site Range)
- (11) SF3D (Site Front Three Point Deviation)
- (12) SF3R (Site Front Three Point Range)

SFQRは 設定されたサイト内でのデータを最小自乗法にて算出したサイト内平面を基準平面とし、この基準平面に平行でサイト中心点を含む面を焦点平面とすると、この焦点平面から各サイト内での+側、-側の最大変位量の絶対値の和であり、各サイトに一つのデータを持つものである。SBIRは ウエハ裏面を基準面とし、更に各サイトにおいてサイト中心点を含む平面を焦点平面としたとき、この平面から、+側、-側の各々の最大変位量の絶対値の和であり、各サイトに一つのデータを持つものである。また、Nanotopographyは約0.2～20mmの空間波長領域内の表面の偏差をいう。

【0019】また本発明の半導体基体の作製方法は、支持基板に半導体基板を貼り合わせることで半導体基板を作製する方法において、前記支持基板の貼り合わせ側の表面上の任意の点において、その表面形状が、0.5mm×0.5mmのセルでのp-v (peak to valley) 値の全セルのうちの最大が20nm以下、2.0mm×2.0mmのセルでのp-v値の全セルのうちの最大が50nm以下、5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が100nm以下、10mm×10mmのセルでのp-v値の全セルのうちの最大が120nm以下、の条件のうち、少なくとも1つの条件を満たし、この支持基板を用いて作製された半導体基体の表面上の任意の点において、その表面形状が、0.5mm×0.5mmのセルでのp-v (peak to valley) 値の全セルのうちの最大が20nm以下、2.0mm×2.0mmのセルでのp-v値の全セルのうちの最大が50nm以下、5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が100nm以下、10mm×10mmのセルでのp-v値の全セルのうちの最大が120nm以下、の条件のうち、上記支持基板が満たす条件と同じ条件を満たすことを特徴とする。

【0020】また本発明の半導体基体の作製方法は、支持基板に半導体基板を貼り合わせることで半導体基板を作製する方法において、前記支持基板の貼り合わせ側の表面上の任意の点において、その表面形状が、0.5mm×0.5mmのセルでのp-v (peak to valley) 値の全セルのうちの最大が20nm以下、2.0mm×2.0mmのセルでのp-v値の全セルのうちの最大が50nm以下、5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が100nm以下、10mm×10mmのセルでのp-v値の全セルのうちの最大が120nm以下、の条件のうち、少なくとも1つの条件を満たすことを特徴とする。

【0021】本発明の貼り合わせ基体の表面形状測定方法は、第1の基体と第2の基体とを該第1の基体又は該第2の基体と異なる異種材料の層を介して貼り合わせて作製される貼り合わせ基体の表面形状測定方法であって、前記異種材料の層を介さずに第1の基体と第2の基体とを貼り合わせて疑似貼り合わせ基体を作製し、該疑似貼り合わせ基体の表面形状を測定し、その測定値を前記貼り合わせ基体の表面形状とする貼り合わせ基体の表面形状測定方法である。

【0022】まず、本発明の半導体基体の作製方法について説明する。

【0023】図6、図7に示すように、貼り合わせによる半導体基体のサイトフラットネス、Nanotopographyを決める要素は、元の支持基板のサイトフラットネス、Nanotopographyと表面平坦化および平滑化技術である。なお図6(a)、(b)はサイトフラットネス、Nanotopography不良の場合を説明するための模式的断面図であ

り、図7(a)、(b)は、サイトフラットネス、Nanotopography良好の場合を説明するための模式的断面図である。なお、図6(a)、(b)及び図7(a)、(b)において、上図は第2の基体、下図は活性層を含む第1の基体から移設された層（あるいは多層）を有する第2の基体を示す。

【0024】図6(a)は、良好なサイトフラットネス、Nanotopographyの支持基板を用いて、完璧に平坦化する技術（理想的にフラットにするCMP）の場合を表す。

【0025】図6(b)は、良好なサイトフラットネス、Nanotopographyの支持基板を用いて、理想的に均一な膜を残す技術（理想的に膜厚減少のない平滑化技術）の場合を表す。

【0026】図7(a)は、良好でないサイトフラットネス、Nanotopographyの支持基板を用いて、完璧に平坦化する技術（理想的にフラットにするCMP）の場合を表す。

【0027】図7(b)は、良好でないサイトフラットネス、Nanotopographyの支持基板を用いて、理想的に均一な膜を残す技術（理想的に膜厚減少のない平滑化技術）の場合を表す。

【0028】最終基板に良好なサイトフラットネス、Nanotopographyを求めるだけであれば、図6(a)や図7(a)のように最終工程の表面平坦化処理だけに注目すればよいが、このとき元の支持基板のNanotopographyが良好でないと、活性層の膜厚むらになってしまう（図7の(a)）。

【0029】この図6、図7において、表面平滑化は、直前の表面形状をそのまま保ちながら膜を減らすあるいは膜の減少無しに平滑化する場合をあらわし、表面平坦化は、直前の表面形状にかかわらず、表面形状を平らにする場合を表している。図6、図7においては、その両極端な場合を示しており、CMP、研磨等の場合には、この他に面内の研磨分布も存在することになる。

【0030】理想的な平滑化を行うとNanotopographyは、元の状態をほぼ保ち、膜厚均一性も維持される（図6(b)、図7(b)）。このとき、膜厚均一性はどちらの場合でも同様の結果が得られるので、元の支持基板のサイトフラットネスあるいはNanotopographyに注目すればよい。

【0031】理想的な平坦化を行うとサイトフラットネスあるいはNanotopographyは、元の状態に関係なく、平坦化工程で決まる。しかし、膜厚の均一性は劣化する（図6(a)、図7(a)）。特に元の支持基板のサイトフラットネスあるいはNanotopographyが悪い場合には顕著である（図7(a)）。

【0032】元のサイトフラットネスあるいはNanotopographyが良好でないと（図7）、平坦化／平滑化工程を行っても膜厚均一性とサイトフラットネスあるいはNano

topographyの良好さを同時に満たすことができない。したがって、貼り合わせによる半導体基体の作製の場合、表面活性層の膜厚の均一性を保ちながらそのNanotopographyを良好にするには、もとの支持基板のNanotopographyを良好にしておけばよい。

【0033】さらに表面性の良いものは、貼り合わせのボイド形成を抑制する働きもある。また表面粗さとしての制限もいれておけば、さらに良好な貼り合わせ歩留まりで、サイトフラットネスあるいはNanotopographyの良いウエハを作製することができる。

【0034】平滑化処理を行って、さらに支持基板のサイトフラットネスあるいはNanotopographyを良好なものにすれば、出来上がった貼り合わせによる半導体基板のサイトフラットネスあるいはNanotopographyは良好なまま保たれ、ウエハ間やロット間や工程変更による工程間のばらつきが極端に抑制されることになる。特に、平滑化処理として、CMPよりも水素含有雰囲気中での熱処理（水素アニール）が有効である。CMPは表面の凸部を削りながら平滑平坦化していくのに対して、水素アニールは、膜の減少がほとんど皆無で表面を平滑化するだけである。このためCMPは多少なりとも表面の形状を変えて行くのに対して、水素アニールは、表面形状をまったく変えないで行われるのである。

【0035】支持基板のサイトフラットネスあるいはNanotopographyを良くするには、表面形状の管理された第2の基体を使用すること（良くて悪くてもウエハ間でばらつきのないものを使用すること）が重要である。元の第2の基体の表面形状を管理することにより、管理された表面形状の半導体基体を作製することが可能になる。

【0036】次に本発明の貼り合わせ基体の表面形状測定方法について説明する。

【0037】本発明は、図3に示すように、酸化膜を介さずに貼り合わせて同じ工程（図3の左側の工程）を行ったウエハのNanotopographyをその工程（図3の右側の工程）で作製した半導体基体のNanotopographyであると定めることにより、従来、数量化すること自体困難であった貼り合わせによる半導体基体（特にSOI基体）の表面Nanotopographyを定量的数値化することができる。各工程の再現性が高ければ、この手法による測定は十分に意味を持つ測定になる。最近の貼り合わせ半導体基体の作製技術は格段の成長を遂げており、この安定した再現性のある工程に十分合致するものである。なお、図3において、11は多孔質からなる第1の基体（なお、ここでは全部が多孔質となっているが、表面の一部に多孔質層が形成されていてもよい）、12は多孔質層上に形成された非多孔質層、13は酸化膜等の絶縁層、14は第2の基板である。図3に示す工程は後述する図1の作製方法に対応するものである（図1では表面の一部に多孔質層が形成されて第1の基体が構成されている。）

【0038】

【発明の実施の形態】まず、本発明の半導体基体とその作製方法に関する実施の形態（実施形態1〜3）について説明する。

【実施態様例1】図1を用いて本発明による第1実施形態の半導体基体の作製方法について説明する。

【0039】まず、図1（A）に示すように、第1のSiウエハ（第1の基体）1の最表面層に多孔質Si層2を形成する。

【0040】次に、図1（B）に示すように、多孔質Si層2上にエピタキシャル層3を形成する。なお、エピタキシャル層は、1層でも、不純物、濃度、材料を変えて多層構造にしても良い。

【0041】次に、図1（C）、（D）に示すように、表面形状が上述した所定の条件を満たす支持基板（第2の基体）5の表面とエピタキシャル層2の表面とを絶縁層4を介して貼り合わせる。なお、絶縁層はなくても良い。また、第1のSiウエハの両面に多孔質Siとエピタキシャル層を設けて二つの支持基板を両側に貼り合わせても良い。

【0042】次に、図1（E）に示すように、多孔質Si、エピタキシャル層3以外の第1のSiウエハ1を除去する。第1のSiウエハ1の除去は、第1のSiウエハ1を研削、研磨して除去してもよいし、多孔質Si2を介して分離しても良い。多孔質Siはくさび挿入、流体ジェットの挿入、超音波印加や引っ張り等の外部力を使用すること等で、多孔質Si中又は多孔質Siと第1又は第2の基板との界面で分割することができ、第1のSiウエハと第2の基板とを分離することができる。

【0043】次に図1（F）に示すように、多孔質Si層2を除去する。多孔質Si層の除去は、エッチング、研磨等によって行われる。

【0044】最後に、エピタキシャル層3の表面を平坦化する。平坦化は、研磨、CMP、水素アニールの少なくとも1つを用いる。

【実施態様例2】図2を用いて本発明による第2実施形態の半導体基体の作製方法について説明する。

【0045】まず図2（A）に示すように、第1のSiウエハ1の最表面層に酸化膜等の絶縁層4を形成する。なお酸化膜等の絶縁層は、なくても良い。第1のSiウエハは、エピウエハでも良い。また、エピウエハのエピタキシャル層は、1層でも、不純物、濃度、材料を変えて多層構造にしても良い。

【0046】次に、図2（B）に示すように、酸化膜4の表面から、イオン注入してある深さのところに、イオン注入層21を形成する（図2（C））。注入するイオン種は、水素イオン、ヘリウムイオン、希ガスイオンである。イオン注入は、スキャンタイプの通常のイオン注入によってもよいし、プラズマ一括注入によって形成しても良い。

【0047】次に、図2(D)に示すように、表面形状が上述した所定の条件を満たす支持基板(第2の基板)5の表面と第1の基板の表面とを絶縁層4を介して貼り合わせる。なお絶縁層はなくても良い。また、第1のSiウエハの両面にイオン注入を行い、二つの支持基板を両側に貼り合わせても良い。

【0048】次に、図2(E)に示すように、熱処理を行ってイオン注入層21で分離させ、第1のSiウエハを除去する。なおイオン注入層の分離は、くさび挿入、流体ジェット挿入、超音波印加や引っ張り等の外部力を使用してもよい。もちろんこの外部力だけでも良い。また、外部力の前に、低温で熱処理して貼り合わせ強度を強化してよい。第1のSiウエハの除去は、分離でなく、研削、研磨、エッチングで行ってもよい。

【0049】次に、図2(F)に示すように、残留イオン注入層21を除去する。

【0050】最後に、半導体層3の表面を平坦化する。平坦化は、研磨、CMP、水素アニール少なくとも1つを用いる。

〔実施態様例3〕上述した第1及び第2の実施形態では多孔質層、イオン注入層を用いたが、これらの層を用いずに半導体基体を作製する場合にも本発明を用いることができる。

【0051】まず、第1のSiウエハの最表面層に酸化膜等の絶縁層を形成する。なお、酸化膜等の絶縁層は、なくても良い。第1のSiウエハは、エピウエハでも良い。エピウエハのエピタキシャル層は、1層でも、不純物、濃度、材料を変えて多層構造にしても良い。

【0052】次に、表面形状が上述した所定の条件を満たす支持基板(第2の基体)の表面と第1の基板の表面とを絶縁層を介して貼り合わせる。

【0053】次に第1のウエハを除去し、活性層を残留させる。第1のSiウエハを除去は、研削、研磨、エッチングで行ってもよい。

【0054】次に活性層の表面を平坦化する。平坦化は、研磨、CMP、水素アニール少なくとも1つを用いる。

【0055】次に、本発明の貼り合わせ基体の表面形状測定方法に関する実施の形態(実施形態4)について説明する。

〔実施態様例4〕本実施形態では上述した第1～3の実施形態の半導体基体の作製方法によりSOIウエハをそれぞれ作製するとともに、第1のSiウエハ上に絶縁層を設けないことを除いて第1～3の実施形態と同じ工程でそれぞれ疑似SOIウエハを作製する。そして、作製された疑似SOIの表面Nanotopographyを測定して、第1のSiウエハ上に絶縁層を設けた、第1～3の実施形態により作製されたSOIのNanotopographyとする。

【0056】

〔実施例〕以下、本発明の実施例について説明する。

【0057】(実施例1)比抵抗 $0.01 \sim 0.02 \Omega \cdot \text{cm}$ のP型あるいはN型の第1の単結晶Si基板を25枚用意した。

【0058】HF溶液中において陽極化成を行った。陽極化成条件は以下のとおりであった。

【0059】

電流密度： $7 (\text{mA} \cdot \text{cm}^{-2})$

陽極化成溶液：HF： H_2O ： $\text{C}_2\text{H}_5\text{OH}=1:1:1$

時間：11(分)

多孔質Siの厚み： $12 (\mu\text{m})$

多孔質Siは高品質エピタキシャルSi層を形成させるための下地層として、さらに分離層としても用い、それぞれ機能を一層で共用している。もちろん研削して第1の基板を除去する場合には、分離層としては用いないことは言うまでもない。

【0060】陽極化成は、HF含有液であれば良く、エタノールはなくてもよい。エタノールは、表面からの気泡の除去に有効であり、この機能を有するものであればエタノールに限らない。メチルアルコール、イソプロピルアルコール等の他のアルコール類、界面活性剤であっても良い。また、これらの薬品を添加する代わりに、超音波等の振動で気泡を表面から脱離させてもよい。

【0061】多孔質Si層の厚さは、これに限っておらず、数百 μm から $0.1 \mu\text{m}$ 程度まで使用できる。

【0062】この基板を酸素雰囲気中 400°C で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD (Chemical Vapor Deposition) 法により単結晶Siを $0.3 \mu\text{m}$ エピタキシャル成長した。成長条件は以下の通りである。

【0063】

ソースガス： $\text{SiH}_2\text{Cl}_2/\text{H}_2$

ガス流量： $0.5/180 \text{ l/min}$

ガス圧力： 80 Torr

温度： 950°C

成長速度： $0.3 \mu\text{m/min}$

実際のエピタキシャル成長に先立って、エピタキシャル装置内で水素雰囲気中でのバークして及び/又は極少量Siソースを供給して多孔質層表面の孔の穴を埋めて平滑にした。これによって、多孔質Si上のエビであっても、欠陥密度が非常に少ない(10^4 cm^{-2} 以下)エピタキシャル層を形成することができた。

【0064】さらに、このエピタキシャルSi層表面に熱酸化により 200 nm の SiO_2 層を形成した。疑似SOIウエハ用(Nanotopography測定用)のため25枚中1枚は SiO_2 を形成しなかった。

【0065】 SiO_2 層表面(疑似SOIウエハ用はエピタキシャル表面)と別に用意した第2のSi基板の表面とを重ね合わせ、接触させた後、窒素雰囲気あるいは酸化雰囲気中で $1100^\circ\text{C}-1$ 時間の熱処理をし、貼り合わせ強度の向上をおこなった。

【0066】この第2のウエハのNanotopographyは、ウエハ面内全点、その表面形状が、0.5mm×0.5mmのセルでのp-v (peak to valley) 値の全セルのうちの最大が20nm以下、2.0mm×2.0mmのセルでのp-v値の全セルのうちの最大が50nm以下、5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が100nm以下、10mm×10mmのセルでのp-v値の全セルのうちの最大が120nm以下、を満たしていた。

【0067】貼り合わせたウエハのベベリングで構成された隙間に、ウォータージェット装置の0.15mmのノズルから500kgf/cm²の圧力で高圧の純水を、貼り合わせウエハの貼り合わせ界面(表面)に平行な方向から噴射した。その際、

- 1) ノズルを高圧の純水がベベリングで構成された隙間に沿って移動する方向に走査したり、
- 2) ウエハをウエハホルダーではさみながら自転させ、ウエハ外周の全方向から高圧の純水がベベリングで構成された隙間に注入されるようにしたり、
- 3) 両者を併用したり、して、ウエハ全面で、多孔質Si層を介して二分割に分離させた。

【0068】その結果、元々第1の基体表面に形成されたSiO₂層、エピタキシャルSi層、および多孔質Si層の一部が、第2の基板側に移設された。第1の基板表面には多孔質Siのみ残った。

【0069】ウォータージェットで分離する代わりに、気体ジェット挿入や固体くさび挿入、あるいは引っ張り、せん断力印加、超音波印加、静圧(気体または液体)をベベリングで構成された隙間へ印加等の方法で分離を実行することもできる。

【0070】また、さらには、分離せずに、貼り合わせた2枚のウエハの第1の基体の裏面側から研削、研磨、エッチング等で多孔質Siを全面表出させても良い。その際は、

- a) 多孔質Siまで一気に研削する、
- b) 多孔質Si直前まで研削して、残りのバルクSiは、RIE(ドライエッチング)あるいはウェットエッチングで除去する、
- c) 多孔質Si直前まで研削して、残りのバルクSiは、研磨で除去する、ことにより、多孔質Si層を全面表出させる。

【0071】その後、第2の基板上に移設された多孔質Si層を49%弗酸と30%過酸化水素水と水との混合液で攪はんしながら選択エッチングする。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。選択エッチングでは、循環装置を併せ持った装置で超音波をON/OFFさせながら、ウエハを回転させてエッチングすると、エッチング分布も面内面間で抑制できてエッチングされる。

【0072】非多孔質Si単結晶の該エッチング液に対するエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッチング量(数十オングストローム程度)は実用上無視できる膜厚減少である。

【0073】すなわち、Si酸化膜上に0.2μmの厚みを持った単結晶Si層(SOIウエハ)が24枚形成できた。その他に、酸化膜のないSi基板上にエピタキシャルSi層がある疑似SOIウエハ(表面Nanotopography測定用ウエハ)が1枚形成できた。多孔質Siの選択エッチングによっても単結晶Si層には何ら変化はなかった。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は201nm±4nmであった。

【0074】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0075】さらに水素中で1100℃で熱処理を1時間行い、表面粗さを原子間力顕微鏡で評価したところ、50μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。

【0076】この水素中のアニールによる表面平坦化は、Si層の厚さをほとんど減ずることなく行われるため、疑似SOIウエハ(表面Nanotopography測定用ウエハ)のNanotopographyを測定したところ、元の第2の支持ウエハとほぼ同等であり、ウエハ面内全点、その表面形状が、0.5mm×0.5mmのセルでのp-v値の全セルのうちの最大が20nm以下、2.0mm×2.0mmのセルでのp-v値の全セルのうちの最大が50nm以下、5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が100nm以下、10mm×10mmのセルでのp-v値の全セルのうちの最大が120nm以下、を満たしていた。

【0077】元のウエハとして、4条件のうち2条件を満たしている第2の支持ウエハを用いれば、結果としてできたウエハのNanotopographyも2条件のみ満たしていた。具体的には、第2の支持ウエハが、0.5mm×0.5mmのセルでのp-v値の全セルのうちの最大が15nm、2.0mm×2.0mmのセルでのp-v値の全セルのうちの最大が51nm、5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が90nm、10mm×10mmのセルでのp-v値の全セルのうちの最大が125nm、である2条件を満たすウエハを用いたところ、作製されたウエハは、0.5mm×0.5mmのセルでのp-v値の全セルのうちの最大が16nm、2.0mm×2.0mmのセルでのp-v値の全セルのうちの最大が52nm、5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が85nm、10mm×10mmのセルでのp-v値の全セルのうちの最大が124nm、であり、2条件を満たしてい

た。

【0078】水素アニールの代わりにCMP等の研磨によっても表面平坦化を行うことができる。しかしその際には、Nanotopographyは、CMPの能力に左右されることになり、さらには、膜厚分布の劣化にもつながる。CMPの場合には、できる限りケミカル成分を大きくして平滑化を推進させる必要がある。もちろん好ましくは、水素アニールによる平滑化である。CMPで完全に平坦化が行われても図7(a)のように元の第2の基体のNanotopographyが良好でないと逆に膜厚分布の劣化につながるようになる。逆にいえば、Nanotopographyが良好であれば多少CMPによる劣化があっても許容されることになる。

【0079】疑似SOIウエハ(表面Nanotopography測定用ウエハ)のNanotopography測定結果と元の第2の基体のNanotopographyの結果を比較して水素アニールの場合にはほとんど差がないことがわかったので、その他の24枚のSOI基板のNanotopographyも元の第2の基体のNanotopographyとほぼ等しいとした。CMPの場合には、数%程度の劣化が見られたので、できたSOIのNanotopographyも元の第2の基板のNanotopographyよりもマージンを見込んで5%程度劣化したものとした。

【0080】酸化膜は、エピタキシャル層表面でなく、第2の基板表面に形成しても、あるいは、その両者に形成しても同様の結果が得られた。

【0081】また、第1の基板側に残った多孔質Siもその後、40%弗酸と30%過酸化水素水と水との混合液で攪はんしながら選択エッチングする。その後、水素アニール、あるいは表面研磨等の表面処理を施して再び第1の基板としてあるいは第2の基板として投入することができた。あるいは、通常のウエハ再生手法により再生して再び第1の基板としてあるいは第2の基板として投入することができた。

【0082】第2の基板として投入する場合、ウエハ面内全点で、その表面形状が、0.5mm×0.5mmのセルでのp-v値の全セルのうちの最大が20nm以下、2.0mm×2.0mmのセルでのp-v値の全セルのうちの最大が50nm以下、5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が100nm以下、10mm×10mmのセルでのp-v値の全セルのうちの最大が120nm以下、を少なくとも1つ満たしていることが必要である。

【0083】具体的には、0.5mm×0.5mmのセルでのp-v値の全セルのうちの最大が25nm、2.0mm×2.0mmのセルでのp-v値の全セルのうちの最大が43nm、5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が100nm、10mm×10mmのセルでのp-v値の全セルのうちの最大が145nm、の支持基板を用い場合、0.5mm×0.5mmのセルでのp-v値の全セルのうちの最大が23nm、2.0mm×2.0mmのセルでのp-v値の全

セルのうちの最大が40nm、5.0mm×5.0mmのセルでのp-v値の全セルのうちの最大が108nm、10mm×10mmのセルでのp-v値の全セルのうちの最大が143nm、の貼り合わせ基板ができた。

【0084】ここで、表面の多層膜の屈折率等の光学定数が大きく異なる場合には、そのウエハそのもののNanotopographyを測定することは、困難である。それは、現在のNanotopographyの測定手法が光学式によっているためである。本実施例では、表面からSi/SiO₂/Siの構造になっているので、光の反射面が表面を含めて3面ある。このため、Nanotopographyの測定値がどの面のNanotopographyを代表しているのかわからない。そのため、上述したように、ここでは、酸化膜を介さずに貼り合わせて同じ工程を行ったウエハのNanotopographyを代表させることにした。各工程の再現性が高ければ、この手法による測定は十分に意味を持つ測定になる。

【0085】複数の貼り合わせウエハをその面方向に並べてセットし、ウォータージェットのスルを1回走査することにより、複数の貼り合わせウエハを一度に分離させることも可能である。

【0086】さらに、複数の貼り合わせウエハをその面に垂直方向に並べてセットし、ウォータージェットのスルにX-Yスキャンを持たせて、複数の貼り合わせウエハに順次ウォータージェットを噴射し、複数の貼り合わせウエハを自動で分離させることも可能である。

【0087】Nanotopographyは、ADE社製のWIS-CR83-SQ MあるいはNanoMapperや、KLA-Tencor社製のSurfscan-SP 1-STN、ニュークリエーション社製のDynaSearch、黒田精工社製のNanoMetroで測定した。

【0088】本実施例において、Nanotopographyの変わりにSFQR等のサイトフラットネスの規制で行っても同様の結果が得られた。すなわち、SFQRが、0.25μm/25mm×25mm/94%以上

の第2の基板を使用した場合には、できた半導体基体のSFQRも、

0.25μm/25mm×25mm/94%以上

を満たした。ちなみに、サイトフラットネス測定はADE社製のUltra Gaugeによって行われた。また、本測定装置は容量方式であるので、薄膜の場合には(第2の基体の厚さ>>薄膜の厚さ)、多層構造であっても測定値は本発明で作製した半導体基体の表面情報を引き出せるので、直接測定が可能である。

【0089】本実施例で、酸化膜を介さずに貼り合わせを行うと、不純物濃度の異なる層の多層構造ができる。これは、pn接合や埋め込みエピタキシャル層の代用にも使用できる。

【0090】また、SiGe、GaAs、SiC、C等の異種材料のエピタキシャル層を貼り合わせると、Si基板上のヘテロエピタキシャル層を形成することができ、この場合には、酸化膜を介して貼り合わせしても良

い。

【0091】第2の基板に関しても、表面形状の条件を満足すれば、他の材料でも良い。たとえば、石英、サファイア、セラミック、カーボン、SiC等を用いることができる。

【0092】光透過性の基板の表面Nanotopographyを測定するには、光透過性のほとんどない材料を真空蒸着等によって表面にコートしてあらかじめ表面Nanotopographyを測定しておく必要がある。

【0093】(実施例2)多孔質Si層を2層構成にする以外は実施例1と同じ工程とした。

【0094】HF溶液中において陽極化成を行った。陽極化成条件は以下のとおりであった。

【0095】

電流密度: $8 \text{ (mA} \cdot \text{cm}^{-2}\text{)}$

陽極化成溶液: $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間: 11 (分)

多孔質Siの厚み: $13 \text{ (}\mu\text{m)}$

さらに、

電流密度: $22 \text{ (mA} \cdot \text{cm}^{-2}\text{)}$

陽極化成溶液: $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間: 2 (分)

多孔質Siの厚み: $3 \text{ (}\mu\text{m)}$

あるいは、

電流密度: $8 \text{ (mA} \cdot \text{cm}^{-2}\text{)}$

陽極化成溶液: $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間: 5 (分)

多孔質Siの厚み: $6 \text{ (}\mu\text{m)}$

さらに、

電流密度: $33 \text{ (mA} \cdot \text{cm}^{-2}\text{)}$

陽極化成溶液: $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間: 1.3 (分)

多孔質Siの厚み: $3 \text{ (}\mu\text{m)}$

第1の多孔質Siは高品質エピタキシャルSi層を形成させるために、さらに第2の多孔質Siは、分離層としても用いる。もちろん研削して第1の基板を除去する場合には、分離層としては用いないことは言うまでもない。

【0096】分離面は、1層/2層の界面付近に制限され、分離面の平坦化に効果があった。

【0097】(実施例3)比抵抗 $10 \sim 20 \Omega \cdot \text{cm}$ のP型あるいはN型の第1の単結晶Si基板を25枚用意した。

【0098】この表面に熱酸化により 200 nm の SiO_2 層を形成した。この酸化の前に、エピタキシャル層を表面に $300 \sim 400 \text{ nm}$ ほど形成しておいても良い。もちろんこれ以上の厚さでもよい。疑似SOIウエハ用(表面Nanotopography測定用)のため、25枚中1枚は SiO_2 を形成しなかった。

【0099】ここで投影飛程がSi基板中になるよう

に、第1の基板表面からイオン注入した。これによって、分離層として働く層が、投影飛程の深さの所に(微小気泡層あるいは注入イオン種高濃度層による歪み層として)形成された。

【0100】たとえば、 40 keV で $5 \times 10^{16} \text{ cm}^{-2}$ の H^+ を注入した。投影飛程はおよそ、 $460 \sim 470 \text{ nm}$ である。

【0101】ここで、通常のイオン注入装置でなく、プラズマ装置で一括して注入を行っても良い。この場合には、プラズマ発生条件を変えることにより、 H^{2+} の方が効率が良い場合もある。

【0102】該 SiO_2 層表面(疑似SOIウエハ用(Nanotopography測定用)はエピタキシャル表面)と別に用意した第2のSi基板の表面とを重ね合わせ、接触させた後、 $300^\circ\text{C} \sim 10$ 時間の熱処理をし、貼り合わせをおこなった。ここで、重ね合わせる前に N_2 あるいは O_2 のプラズマ処理等の前処理を行うとより貼り合わせ強度が高まった。また、ここでの熱処理は、行わなくてもよい。

【0103】この第2のウエハのNanotopographyは、ウエハ面内全点、その表面形状が、 $0.5 \text{ mm} \times 0.5 \text{ mm}$ のセルでのp-v値の全セルのうちの最大が 20 nm 以下、 $2.0 \text{ mm} \times 2.0 \text{ mm}$ のセルでのp-v値の全セルのうちの最大が 50 nm 以下、 $5.0 \text{ mm} \times 5.0 \text{ mm}$ のセルでのp-v値の全セルのうちの最大が 100 nm 以下、 $10 \text{ mm} \times 10 \text{ mm}$ のセルでのp-v値の全セルのうちの最大が 120 nm 以下、を満たしていた。

【0104】 $400^\circ\text{C} \sim 10$ 時間の熱処理を行うと、ウエハ全面で、イオン注入層を介して二分割に分離された。

【0105】その結果、元々第1の基板表面に形成された SiO_2 層、Si層、およびイオン注入層の一部が、第2の基板側に移設された。第1の基板表面にはイオン注入層のみ残った。

【0106】熱処理の代わりに、流体(気体、液体)ジェット挿入や固体くさび挿入、あるいは引っ張り、せん断力印加、超音波印加、静圧(気体または液体)をベリングで構成された隙間へ印加等の方法で分離を実行することもできる。

【0107】また、さらには、分離せずに、貼り合わせた2枚のウエハの第1の基板の裏面側から研削、研磨、エッチング等でイオン注入層を全面表出させても良い。

【0108】その後、第2の基板上に移設されたイオン注入層をCMP等の研磨装置あるいはエッチング方式にて除去し、かつ表面平坦化も行った。その後、水素アニール処理を行っても良い。あるいはイオン注入層が残ったまま水素アニール処理を行っても良い。

【0109】すなわち、Si酸化膜上に $0.2 \mu\text{m}$ の厚みを持った単結晶Si層が24枚形成できた。その他に酸化膜のないSi基板上にエピタキシャルSi層があ

る疑似SOIウエハ（表面Nanotopography測定用ウエハ）が1枚形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は $201\text{ nm} \pm 5\text{ nm}$ であった。

【0110】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0111】さらに表面粗さを原子間力顕微鏡で評価したところ、 $50\text{ }\mu\text{ m}$ 角の領域での平均2乗粗さはおよそ 0.2 nm で通常市販されているSiウエハと同等であった。

【0112】このCMP表面平坦化は、Si層の厚さを減じながら行うため、できたSOIウエハのNanotopographyは、元の第2の支持ウエハのNanotopographyの影響も受けるが、CMP自身の研磨特性の影響も受ける。できる限りケミカル成分を大きくして平滑化をおこなった。疑似SOIウエハ（表面Nanotopography測定用ウエハ）のNanotopographyを測定したところ、元の第2の支持ウエハとはほぼ同等であり、ウエハ面内全点、その表面形状が、 $0.5\text{ mm} \times 0.5\text{ mm}$ のセルでのp-v値の全セルのうちの最大が 20 nm 以下、 $2.0\text{ mm} \times 2.0\text{ mm}$ のセルでのp-v値の全セルのうちの最大が 50 nm 以下、 $5.0\text{ mm} \times 5.0\text{ mm}$ のセルでのp-v値の全セルのうちの最大が 100 nm 以下、 $10\text{ mm} \times 10\text{ mm}$ のセルでのp-v値の全セルのうちの最大が 120 nm 以下、を満たすことができた。

【0113】元のウエハとして、4条件のうち2条件を満たしている第2の支持ウエハを用いても、結果としてできたウエハのNanotopographyは4条件とも満たしていた。しかしその際には、NanotopographyはCMPの能力に左右されることになり、さらには、膜厚分布の劣化にもつながる。CMPで完全に表面平坦化が行われても図7(a)のように元もとの第2の基体のNanotopographyが良好でないと逆に膜厚分布の劣化につながるようになる。逆にいえば、Nanotopographyが良好であれば、多少CMPによる劣化があっても、許容されることになる。

【0114】CMPの代わりに水素アニールによって平滑化を行っても良い。この水素中のアニールによる表面平坦化は、Si層の厚さをほとんど減ずることなく行われるため、できたSOIウエハのNanotopographyは、元の第2の支持ウエハとはほぼ同等であった。もちろん好ましくは、水素アニールによる平滑化である。

【0115】疑似SOIウエハ（表面Nanotopography測定用ウエハ）のNanotopography測定結果と元の第2の基体のNanotopographyの結果を比較して、水素アニールの場合にはほとんど差がないことがわかったので、その他の24枚のSOI基板のNanotopographyも元の第2の基体のNanotopographyとほぼ等しいとした。CMPの場合には、数%程度の劣化が見られたので、できたSOIのNanotopographyも元の第2の基板のNanotopographyよりも

マージンを見込んで5%程度劣化したものとした。

【0116】酸化膜は、エピタキシャル層表面でなく、第2の基板表面に形成しても、あるいは、その両者に形成しても同様の結果が得られた。

【0117】また、第1の基板側に残ったイオン注入層もその後、通常のウエハ再生手法により再生して再び第1の基板としてあるいは第2の基板として投入することができた。

【0118】第2の基板として投入する場合、ウエハ面内全点で、その表面形状が、 $0.5\text{ mm} \times 0.5\text{ mm}$ のセルでのp-v値の全セルのうちの最大が 20 nm 以下、 $2.0\text{ mm} \times 2.0\text{ mm}$ のセルでのp-v値の全セルのうちの最大が 50 nm 以下、 $5.0\text{ mm} \times 5.0\text{ mm}$ のセルでのp-v値の全セルのうちの最大が 100 nm 以下、 $10\text{ mm} \times 10\text{ mm}$ のセルでのp-v値の全セルのうちの最大が 120 nm 以下、を少なくとも1つ満たしていることが必要である。

【0119】ここで、表面の多層膜の屈折率等の光学定数が大きく異なる場合には、そのウエハそのもののNanotopographyを測定することは、困難である。それは、現在のNanotopographyの測定手法が光学式によっているためである。本実施例では、表面からSi/SiO₂/Siの構造になっているので、光の反射面が表面を含めて3面ある。このため、Nanotopographyの測定値がどの面のNanotopographyを代表しているのかわからない。そのため、本実施例では、上述したように、酸化膜を介さずに貼り合わせて同じ工程を行ったウエハのNanotopographyを代表させることにする。各工程の再現性が高ければ、この手法による測定は十分に意味を持つ測定になる。

【0120】Nanotopographyは、ADE社製のWIS-CR83-SQMあるいはNanoMapperや、KLA-Tencor社製のSurfscan-SP1-STN、ニュークリエーション社製のDynaSearch、黒田精工社製のNanoMetroで測定した。

【0121】本実施例において、Nanotopographyの変わりにSFQR等のサイトフラットネスの規制で行っても同様の結果が得られた。すなわち、SFQRが、 $0.25\text{ }\mu\text{ m} / 25\text{ mm} \times 25\text{ mm} / 94\%$ 以上の第2の基体を使用した場合には、できた半導体基体のSFQRも、 $0.25\text{ }\mu\text{ m} / 25\text{ mm} \times 25\text{ mm} / 94\%$ 以上

を満たした。ちなみに、サイトフラットネス測定はADE社製のUltra Gaugeによって行われた。また、本測定装置は容量方式であるので、薄膜の場合には（第2の基体の厚さ>>薄膜の厚さ）、多層構造であっても測定値は本発明で作製した半導体基体の表面情報を引き出せるので、直接測定が可能である。

【0122】本実施例で、酸化膜を介さずに貼り合わせを行うと、不純物濃度の異なる層の多層構造ができる。これは、pn接合や埋め込みエピタキシャル層の代用にも使用できる。

【0123】また、SiGe、GaAs、SiC、C等の異種材料のエピタキシャル層を貼りあわせると、Si基板上のヘテロエピタキシャル層を形成することができる。この場合には、酸化膜を介して貼りあわせしても良い。

【0124】第1の基板としてSiGe、GaAs、SiC、C等を用いれば、最初にエピタキシャル層を形成しなくてもSi基板上のヘテロエピタキシャル層を形成することができる。この場合には、酸化膜を介して貼り合わせしても良い。

【0125】第2の基板に関しても、表面形状の条件を満足すれば、他の材料でも良い。たとえば、石英、サファイア、セラミック、カーボン、SiC等を用いることができる。

【0126】光透過性の基板の表面Nanotopographyを測定するには、光透過性のほとんどない材料を真空蒸着等によって表面にコートしてあらかじめ表面Nanotopographyを測定しておく必要がある。

【0127】(実施例4)元の第2の基板の表面形状をあらかじめ測定しておく。この測定規格は、出来上がった半導体基板に適應すべき規格で測定しておく。

【0128】出来上がった半導体基板に適應すべき規格を満足した基板のみを第2の基板として投入した。

【0129】以降は、実施例1～3に示した用に半導体基板を作製した。作製した基板は抜き取りあるいは全数検査をして検査票を添付して出荷された。

【0130】実施例1～3によって作製前後の表面Nanotopographyの相関を定めた後は、疑似半導体基板を作製しなくてよい。元の第2の基板のNanotopographyをあらかじめ測定しておくことで、この測定値は、出来上がった半導体ウエハのNanotopographyの元のデータとなる。できた半導体ウエハのNanotopographyは実施例1～3に示した工程ごとの相関によって決定される。

【0131】上記示した各実施例において、多孔質Si上のエピタキシャル成長法はCVD法その他、MBE法、スパッタ法、液相成長法、等多種の方法で実施でき、CVD法に限らない。また、多孔質層、イオン注入層の選択エッチング液も49%弗酸と30%過酸化水素水と水との混合液に限らず、弗酸・硝酸・酢酸の混合液のようなものでもイオン注入は、その膨大な表面積のため選択エッチングでき

る。

【0132】他の工程についても、この実施例に限られた条件だけでなく、さまざまな条件で実施できる。

【0133】

【発明の効果】以上詳述したように、本発明によれば、上記したような問題点および上記したような要求に答える半導体基体とその作製方法、および貼り合わせ基体の表面形状測定方法を提供することができる。

【0134】すなわち、本発明によれば、支持基板(第2の基板)の表面形状を管理することにより、管理された表面形状の半導体基体を作製することが可能になる。

【0135】また、本発明によれば、数値化することが困難であった基体表面のNanotopography等を定量的に数値化することができる。

【図面の簡単な説明】

【図1】本発明による第1実施形態の半導体基体の作製方法を示す断面図である。

【図2】本発明による第2実施形態の半導体基体の作製方法を示す断面図である。

【図3】本発明の貼り合わせ基体の表面形状測定方法を示す説明図である。

【図4】表面形状測定方法を説明するための図である。

【図5】表面形状測定方法を説明するための図である。

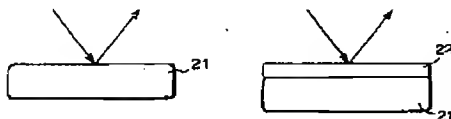
【図6】サイトフラットネス、Nanotopography不良の場合を説明するための模式的断面図である。

【図7】サイトフラットネス、Nanotopography良好の場合を説明するための模式的断面図である。

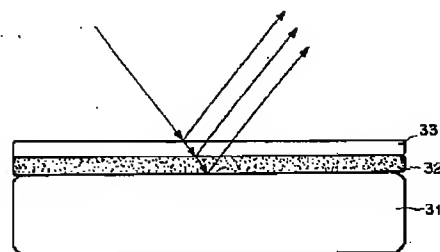
【符号の説明】

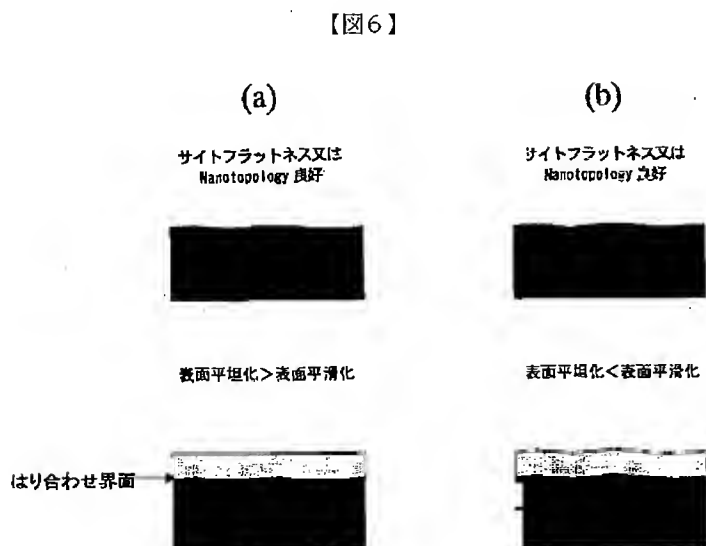
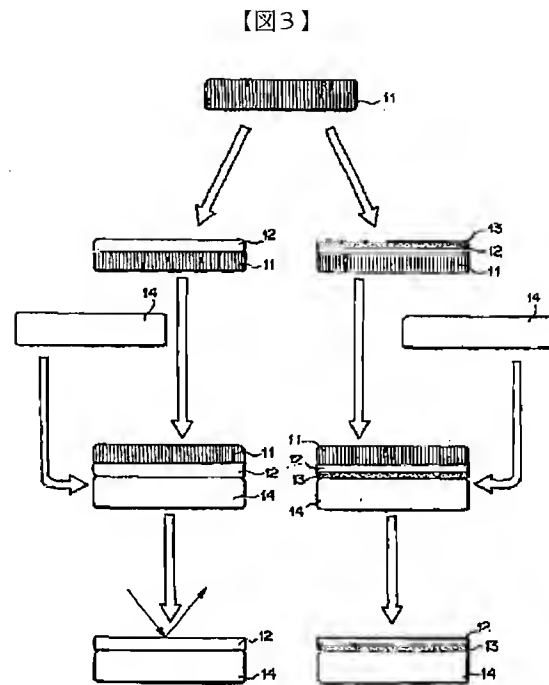
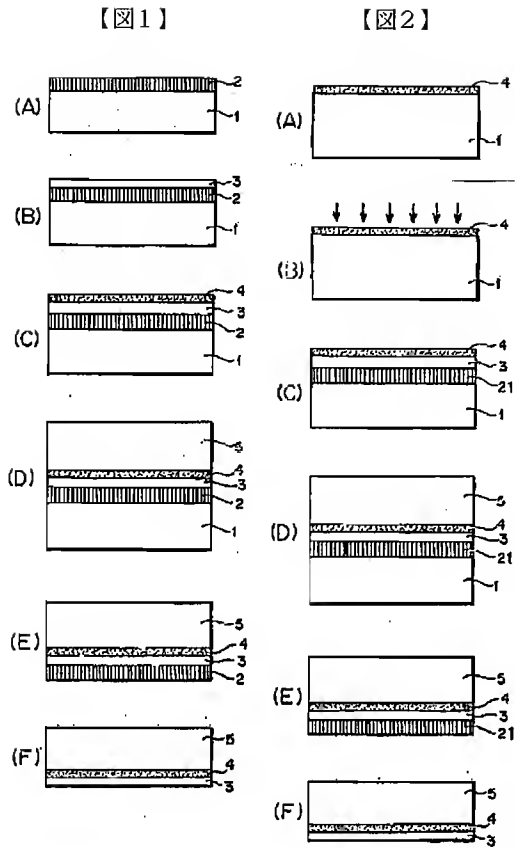
- 1 第1のSiウエハ(第1の基体)
- 2 多孔質Si層
- 3 エピタキシャル層
- 4 絶縁層
- 5 支持基板(第2の基体)
- 11 第1の基体
- 12 非多孔質層
- 13 絶縁層
- 14 第2の基体
- 21 イオン注入層

【図4】



【図5】





【図7】

